

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-181254

(43)Date of publication of application : 11.07.1997

(51)Int.Cl.

H01L 25/04

H01L 25/18

H01L 23/48

(21)Application number : 07-340545

(71)Applicant : FUJITSU TEN LTD

(22)Date of filing : 27.12.1995

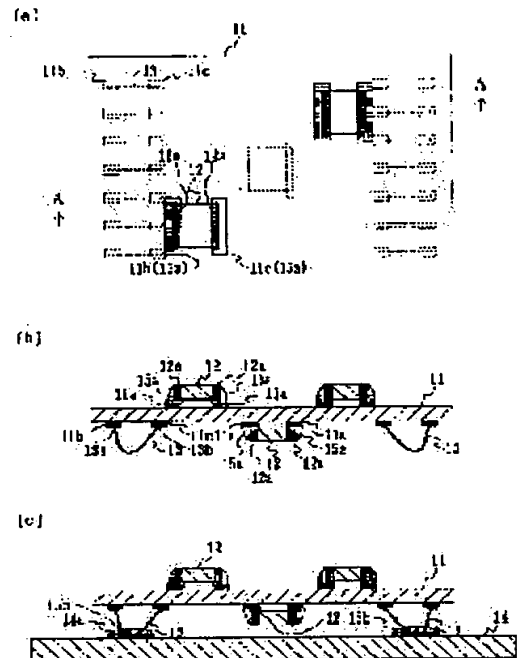
(72)Inventor : UNO YUJI

## (54) TERMINAL STRUCTURE OF MODULE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To make feasible part packaging on both sides of a substrate comprising a module while narrowing the terminal intervals for increasing integration degree by connecting the first and second a plurality of electrodes respectively with a plurality of conductors to compose the terminal of the plurality of conductors.

**SOLUTION:** After mounting chip components 12 on a substrate 11 whereon a wiring pattern, electrode patterns 11a, 11b, 11c, the electrode patterns 11b and 11c are wire-bonded to form a long loop by a wire 13 for completing the terminal structure of the module. Next, this module provided with the module is mounted on a printed-substrate 14a so that the wire part 13 may be soldered by solder 15b corresponding to the solder pattern 14a of a printed-substrate 14. In such a constitution, the rigid wire 13 is hardly mis-aligned after the bonding to be aligned on the printed-substrate at a specific pitch. Accordingly, the terminal intervals can be made smaller thereby enabling the package density to be augmented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181254

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	25/04		H 0 1 L	25/04
	25/18			23/48
	23/48			

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平7-340545

(22) 出願日 平成7年(1995)12月27日

(71) 出願人 000237592

富士通テン株式会社

兵庫県神戸市兵庫区御所通1丁目2番28号

(72) 発明者 鶴野 雄二

兵庫県神戸市兵庫区御所通1丁目2番28号

富士通テン株式会社内

## (54) 【発明の名称】 モジュールの端子構造

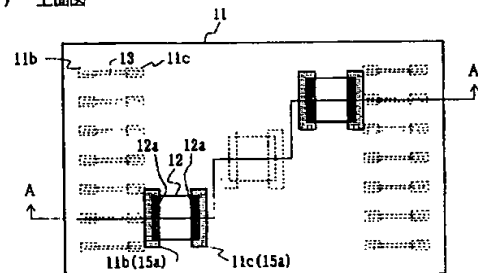
## (57) 【要約】

【課題】モジュールを構成する基板の両面に部品実装ができ、且つ、端子間隔を狭くして集積度を向上したモジュールの端子構造を提供する。

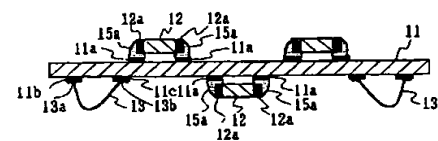
【解決手段】電子部品等が搭載された基板により構成されたモジュールの端子構造において、基板上に複数の第1の電極と、複数の第1の電極にそれぞれ対応して複数の第2の電極が設けられ、複数の第1の電極と複数の第2の電極との間がそれぞれ複数の導体で対応して接続されている。そして、この複数の導体がモジュールの端子を構成している。

本発明の第1の実施例のモジュールの端子構造を説明する図

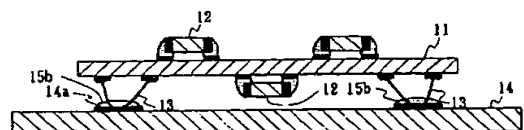
(a) 上面図



(b) A-A断面図



(c) プリント基板への半田付け断面図



## 【特許請求の範囲】

【請求項 1】 電子部品等が搭載された基板により構成されたモジュールの端子構造において、前記基板上に複数の第 1 の電極と、前記複数の第 1 の電極にそれぞれ対応して複数の第 2 の電極が設けられ、前記複数の第 1 の電極と前記複数の第 2 の電極との間がそれぞれ複数の導体で対応して接続され、該複数の導体が端子を構成していることを特徴とするモジュールの端子構造。

【請求項 2】 前記第 1 の電極と前記第 2 の電極との間を接続する導体の一部が露出された状態で前記導体が絶縁体で覆われてなることを特徴とする請求項 1 記載のモジュールの端子構造。

【請求項 3】 前記第 1 の電極が前記基板上に搭載された半導体チップの複数のボンディングパッドであって、前記第 2 の電極が前記基板上に設けられた電極であって、前記導体が前記ボンディングパッドと前記第 2 の電極の間を接続するボンディングワイヤであって、前記ボンディングパッドと前記第 2 の電極の間を接続するボンディングワイヤの一部が露出された状態で絶縁体で覆われてなることを特徴とする請求項 1 記載のモジュールの端子構造。

【請求項 4】 基板上の前記複数の第 1 の電極と前記複数の第 2 の電極との間に絶縁体が配設され、前記複数の第 1 の電極と前記複数の第 2 の電極との間をそれぞれ対応して接続する導体が、前記絶縁体を跨いで接続されてなることを特徴とする請求項 1 記載のモジュールの端子構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電子部品等から構成されるモジュールの端子構造に係り、特に、実装密度が高く、組立工程の簡単なモジュールの端子構造に関する。

## 【0002】

【従来の技術】 図 5 は従来のモジュールの端子構造を説明するための図で (a) は上面図、(b) は A-A 断面図、(c) はプリント基板への半田付け断面図である。以下、図を用いて説明する。91 はチップ部品 12 等を搭載するセラミック等の基板で、チップ部品 12 と電気回路を構成する配線パターン (図示せず)、リード端子 93 に接続するための電極 91a が設けられている。93 は基板 91 の電極 91a と接続するモジュールの端子で、電極 91a に嵌合する概略断面コの字型の嵌合部 93a とプリント基板 94 等のスルーホール 94a に挿入されるリード部 93b により構成される。12 は基板 11 に搭載されるチップ部品で、端子 12a が基板 11 の電極パターン 11a に半田 15a により融着されている。

【0003】 次に、組立工程について述べる。電極 91a の形成された基板 91 上にチップ部品 12 を搭載した後、基板 91 の電極 91a にリード端子 93 のコの字型の嵌合部 93a を嵌合して半田 (図示せず) を溶融して固着する。このようにして、モジュールの端子構造が完成する。尚、通常リード端子 93 はリード部 93b が複数の共通のリードフレーム (図示せず) に接続された状態で複数の電極 91a とコの字型の嵌合部 93a が一度に嵌合され半田付けされた後、リードフレームの部分で切断される。

【0004】 この端子の設けられたモジュールはプリント基板 94 に搭載され、プリント基板 94 の半田パターン 94b に対応して半田 95a により半田付けされる。基板 94 の電極 94a がリード端子 93 のコの字型の嵌合部 93a を嵌合して半田で固着され、また、リード端子 93 のリード部 93b がプリント基板 94 のスルーホール 94a に挿入されて半田付けされるので、モジュールはプリント基板に強固に、且つ所定の端子ピッチで保持される。

## 【0005】

【発明が解決しようとする課題】 上記構成のモジュールの端子構造では、電極をリード端子 93 のコの字型の嵌合部 93a で嵌合した後半田付けされており、また、リード端子 93 のリード部 93a がプリント基板のスルーホールに挿入されるので、端子のピッチを狭くすることが難しくモジュールの集積度を向上するための端子の多ピン化には不適である。

【0006】 この対策として、基板 91 の電極 91a とプリント基板等の電極を直接半田ボール等を介して接触させ、加熱して半田を溶融して接続する方法で端子間隔を狭める方法もあるが、基板を直接プリント基板に接触させるために、基板の片側にしか部品が搭載できず実装密度が向上できない。本発明は、モジュールを構成する基板の両側に部品実装ができ、且つ、端子間隔を狭くして集積度を向上したモジュールの端子構造を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 上記目的を達成するために本発明は、電子部品等が搭載された基板により構成されたモジュールの端子構造において、前記基板上に複数の第 1 の電極と、前記複数の第 1 の電極にそれぞれ対応して複数の第 2 の電極が設けられ、前記複数の第 1 の電極と前記複数の第 2 の電極との間がそれぞれ複数の導体で対応して接続され、該複数の導体が端子を構成していることを特徴とするものである。

【0008】 また、前記第 1 の電極と前記第 2 の電極との間を接続する導体の一部が露出された状態で前記導体が絶縁体で覆われてなることを特徴とするものである。また、前記第 1 の電極が前記基板上に搭載された半導体チップの複数のボンディングパッドであって、前記第 2

の電極が前記基板上に設けられた電極であって、前記導体が前記ボンディングパッドと前記第2の電極の間を接続するボンディングワイヤであって、前記ボンディングパッドと前記第2の電極の間を接続するボンディングワイヤの一部が露出された状態で絶縁体で覆われてなることを特徴とするものである。

【0009】また、基板上の前記複数の第1の電極と前記複数の第2の電極との間に絶縁体が配設され、前記複数の第1の電極と前記複数の第2の電極との間をそれぞれ対応して接続する導体が、前記絶縁体を跨いで接続されてなることを特徴とするものである。

#### 【0010】

【実施例】図1は本発明の第1の実施例のモジュールの端子構造を説明するための図で(a)は上面図、(b)はA-A断面図、(c)はプリント基板への半田付け断面図である。以下、を用いて説明する。11はチップ部品12等を搭載するセラミック等の基板で、チップ部品12と電気回路を構成する配線パターン(図示せず)、チップ部品12の電極12aを基板11に半田付けするための電極パターン11a及びモジュールの端子となるワイヤ13をボンディングするための電極11b、11cが設けられている。13は基板11の電極パターン間11b、11cを接続する金、アルミニウム、銅等のワイヤで、両電極パターン11b、11cにワイヤボンディング等によりボンディング点13a、13bで固定されている。12は基板11に搭載されるチップ部品で、端子12aが基板11の電極パターン11aに半田15aにより融着されている。

【0011】次に、組立工程について述べる。配線パターン、電極パターン11a、11b、11cの形成された基板11上にチップ部品12を搭載した後、基板11の電極パターン11b、11cの間がワイヤ13により長いループを形成するようにワイヤボンディングを行いモジュールの端子構造が完成する。基板11の電極パターン11b、11cにボンディングするワイヤ13はボンディング後の変形を生じ難くするために、通常の半導体のボンディングに使用されるワイヤよりも太く、丈夫なワイヤ(例えば、ワイヤ径30~50μm)が好ましい。

【0012】この端子の設けられたモジュールはプリント基板14に搭載され、ワイヤ13部がプリント基板14の半田パターン14aに対応して半田15bにより半田付けされる。ワイヤ13が丈夫であるために、ボンディング後にワイヤ13の整列に狂いが生じ難く、プリント基板14に所定のピッチで整列される。以上のように本実施例では、ワイヤにより端子を形成し、また、基板に孔(スルーホール)を設けることなく実装するので、端子間隔が狭くでき実装密度が向上する。また、ワイヤをループ状にして基板から離せるので基板の裏面にも部品が搭載できる。

【0013】図2は本発明の第2の実施例のモジュールの端子構造を説明するための図で(a)は上面図、

(b)はA-A断面図、(c)はプリント基板への半田付け断面図である。以下、を用いて説明する。21はチップ部品12等を搭載するセラミック等の基板で、チップ部品12と電気回路を構成する配線パターン(図示せず)、チップ部品12の電極12aを基板21に半田付けするための電極パターン21a及びモジュールの端子となるワイヤ23をボンディングするための電極21b、21cが設けられている。23は基板21の電極パターン間21b、21cを接続する金、アルミニウム、銅等のワイヤで、両電極パターン21b、21cにワイヤボンディング等によりボンディング点23a、23bで固定されている。23cはワイヤボンディングされたワイヤ23を覆うエポキシ樹脂等の樹脂部で、下面のワイヤ23が樹脂部23cから露出されている。12は基板21に搭載されるチップ部品で、端子12aが基板21の電極パターン21aに半田25aにより融着されている。

【0014】次に、組立工程について述べる。配線パターン、電極パターン21a、21b、21cの形成された基板21上にチップ部品12を搭載した後、基板21の電極パターン21b、21cの間がワイヤ23により長いループを形成するようにワイヤボンディングを行う。ボンディングの完了したワイヤ23を樹脂部23cで覆い、その後下面を研磨してワイヤ23を樹脂部23cから露出させて、モジュールの端子構造が完成する。基板21の電極パターン21b、21cにボンディングするワイヤ23は通常の半導体のボンディングに使用されるワイヤよりも太く、丈夫なワイヤ(例えば、ワイヤ径30~50μm)が好ましい。

【0015】この端子の設けられたモジュールはプリント基板24に搭載され、ワイヤ23部がプリント基板24の半田パターン24aに対応して半田25bにより半田付けされる。ボンディング後にワイヤ23が樹脂部23cにより固着されているので、ワイヤ23の整列に狂いが生じることがなく、プリント基板24に所定のピッチで整列される。尚、太いワイヤ23を使用するために樹脂部23cの下面を研磨してワイヤ23を露出するに際してワイヤ23が切断される恐れはない。

【0016】以上のように本実施例では、ワイヤにより端子を形成し、また、基板に孔(スルーホール)を設けることなく実装するので、端子間隔が狭くでき実装密度が向上する。また、ワイヤをループ状にして基板から離せるので基板の裏面にも部品が搭載できる。さらに、ワイヤは樹脂部により固着され整列が乱れることもない。

【0017】図3は本発明の第3の実施例のモジュールの端子構造を説明するための図で(a)は上面図、

(b)はA-A断面図、(c)はプリント基板への半田付け断面図である。以下、を用いて説明する。31は半

導体チップ32、チップ部品（図示せず）等を搭載するセラミック等の基板で、半導体チップ32と電気回路を構成する配線パターン（図示せず）、半導体チップ32の電極32aと接続してモジュールの端子となるワイヤ33をボンディングするための電極パターン31aが設けられている。33は半導体チップ32の電極32aと基板31の電極パターン31a間を接続する金、アルミニウム、銅等のワイヤで、両電極パターン31a、32aにワイヤボンディング等によりボンディング点33a、33bで固定されている。33cはワイヤボンディングされたワイヤ33を覆うエポキシ樹脂等の樹脂部で、下面のワイヤ33が樹脂部33cから露出されている。

【0018】次に、組立工程について述べる。配線パターン、電極パターン31aの形成された基板31上に半導体チップ32を搭載した後、基板31の電極パターン31aと半導体チップ32の電極32aの間がワイヤ33により長いループを形成するようにワイヤボンディングを行う。ボンディングの完了した半導体チップ32及びワイヤ33を樹脂部33cで覆い、その後下面を研磨してワイヤ33を樹脂部33cから露出させて、モジュールの端子構造が完成する。ボンディングされるワイヤ33は通常の半導体のボンディングに使用されるワイヤよりも太く、丈夫なワイヤが好ましい。

【0019】この端子の設けられたモジュールはプリント基板34に搭載され、ワイヤ33部がプリント基板34の半田パターン34aに対応して半田35bにより半田付けされる。ボンディング後にワイヤ33が樹脂部33cにより固着されているので、ワイヤ33の整列に狂いが生ずることがなく、プリント基板34に所定のピッチで整列される。尚、太いワイヤ33を使用するために樹脂部33cの下面を研磨してワイヤ33を露出するに際してワイヤ33が切断される恐れはない。

【0020】以上のように本実施例では、ワイヤにより端子を形成し、また、基板に孔（スルーホール）を設けることなく実装するので、端子間隔が狭くでき実装密度が向上する。また、ワイヤをループ状にして基板から離せるので基板の裏面にも部品が搭載できる。さらに、ワイヤは樹脂部により固着され整列が乱れることもない。

【0021】図4は本発明の第4の実施例のモジュールの端子構造を説明するための図で（a）は上面図、

（b）はA-A断面図、（c）はプリント基板への半田付け断面図である。以下、を用いて説明する。41はチップ部品12等を搭載するセラミック等の基板で、チップ部品12と電気回路を構成する配線パターン（図示せず）、チップ部品12の電極12aを基板41に半田付けするための電極パターン41a及びモジュールの端子となるワイヤ43をボンディングするための電極41b、41cが設けられている。43は基板41の電極パターン間41b、41cを接続する金、アルミニウム、

銅等のワイヤで、両電極パターン41b、41cにワイヤボンディング等によりスペーサ43cを跨いでボンディング点43a、43bで固定されている。43cは基板41に設けられた樹脂性のスペーサで、下部がワイヤ43に接している。12は基板41に搭載されるチップ部品で、端子12aが基板41の電極パターン41aに半田45aにより融着されている。

【0022】次に、組立工程について述べる。配線パターン、電極パターン41a、41b、41cの形成された基板41上にチップ部品12を搭載した後、基板41上にスペーサ43cを接着し、そのスペーサ43cを跨いで基板41の電極パターン41b、41cの間をワイヤ43によりワイヤボンディングを行う。このようにして、モジュールの端子構造が完成する。基板41の電極パターン41b、41cにボンディングするワイヤ43は通常の半導体のボンディングに使用されるワイヤよりも太く、丈夫なワイヤ（例えば、ワイヤ径30～50μm）が好ましい。尚、ワイヤ43の接触するスペーサ43cの角部にモジュールの端子ピッチに相当するピッチで予め溝を設けておくと、モジュールをプリント基板44に半田付けするに際してピッチが乱れる恐れがない。

【0023】この端子の設けられたモジュールはプリント基板44に搭載され、ワイヤ43部がプリント基板44の半田パターン44aに対応して半田45bにより半田付けされる。以上のように本実施例では、ワイヤにより端子を形成し、また、基板に孔（スルーホール）を設けることなく実装するので、端子間隔が狭くでき実装密度が向上する。また、ワイヤをループ状にして基板から離せるので基板の裏面にも部品が搭載できる。さらに、ワイヤは樹脂部により固着され整列が乱れることもない。

#### 【0024】

【発明の効果】以上説明したように、本発明ではモジュール基板の両側に部品実装ができ、且つ、端子間のピッチを狭くできるのでモジュールの集積度が向上できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例のモジュールの端子構造を説明するための図で、（a）は上面図、（b）はA-A断面図、（c）はプリント基板への半田付け断面図である。

【図2】本発明の第2の実施例のモジュールの端子構造を説明するための図で、（a）は上面図、（b）はA-A断面図、（c）はプリント基板への半田付け断面図である。

【図3】本発明の第3の実施例のモジュールの端子構造を説明するための図で、（a）は上面図、（b）はA-A断面図、（c）はプリント基板への半田付け断面図である。

【図4】本発明の第4の実施例のモジュールの端子構造を説明するための図で、（a）は上面図、（b）はA-A

A断面図、(c)はプリント基板への半田付け断面図である。

【図5】従来のモジュールの端子構造を説明するための図で、(a)は上面図、(b)はA-A断面図、(c)はプリント基板への半田付け断面図である。

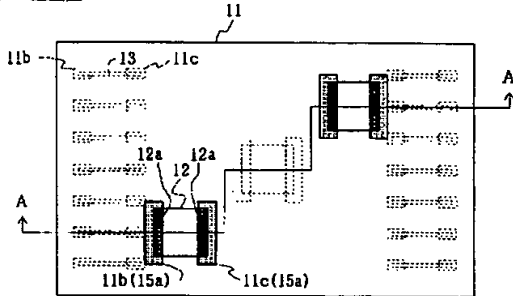
【符号の説明】

11・・・基板  
11a・・・電極  
11b、11c・・・電極  
13・・・ワイヤ  
23c・・・樹脂部  
33c・・・スペーサ

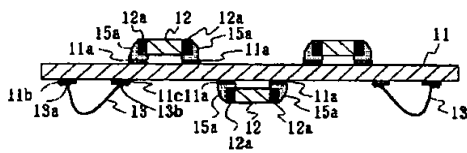
【図1】

本発明の第1の実施例のモジュールの端子構造を説明する図

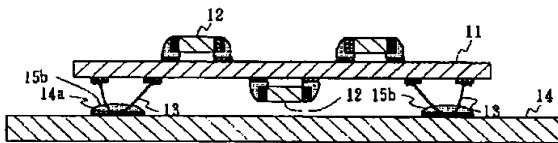
(a) 上面図



(b) A-A断面図



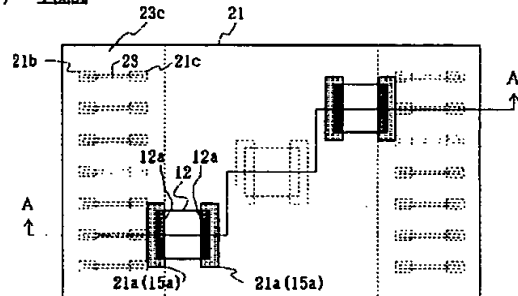
(c) プリント基板への半田付け断面図



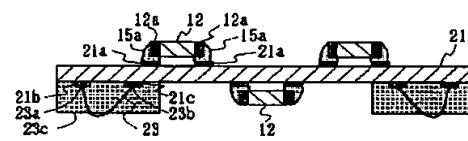
【図2】

本発明の第2の実施例の集積回路構造を説明する図

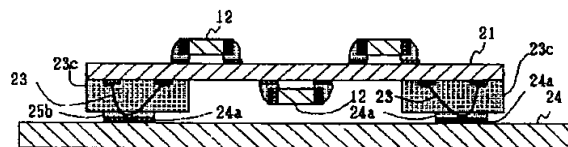
(a) 上面図



(b) A-A断面図



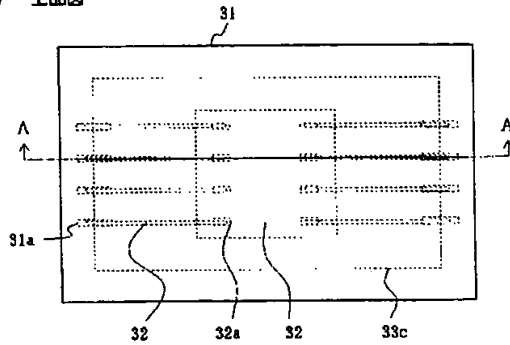
(c) プリント基板への半田付け断面図



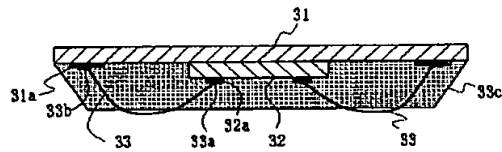
【図 3】

本発明の第 3 の実施例の集積回路構造を説明する図

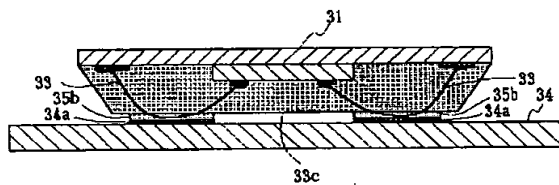
(a) 上面図



(b) A-A断面図



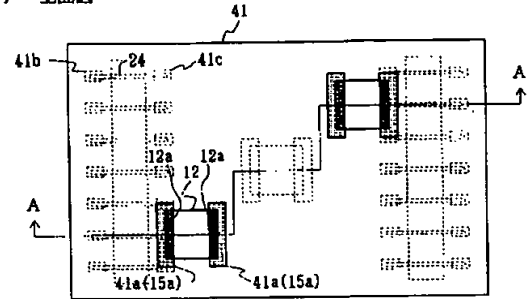
(c) プリント基板への半田付け断面図



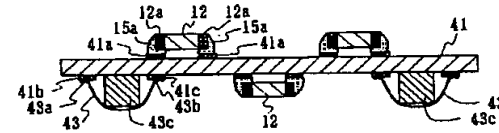
【図 4】

本発明の第 4 の実施例の集積回路構造を説明する図

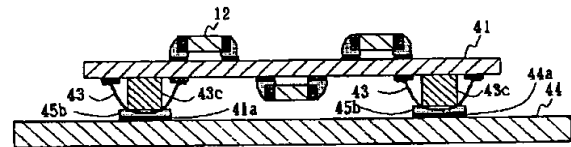
(a) 上面図



(b) A-A断面図



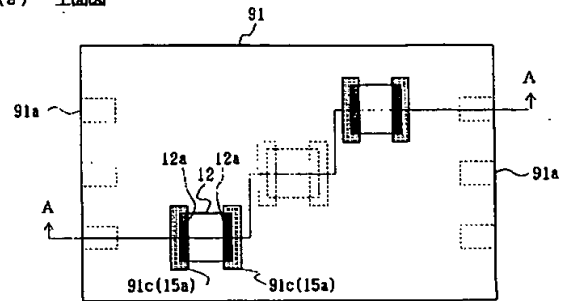
(c) プリント基板への半田付け断面図



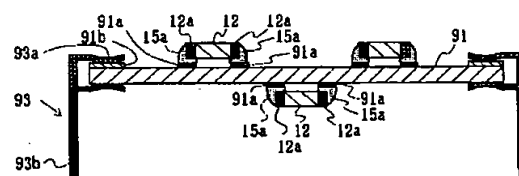
【図 5】

従来のモジュールの端子構造を説明する図

(a) 上面図



(b) A-A断面図



(c) プリント基板への半田付け断面図

